

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

008522044 **Image available**

WPI Acc No: 1991-026128/199104

XRPX Acc No: N91-020052

Polycrystal semiconductor layer formation - heat-treating non-single
crystal with low heat conductive layer surrounding high, resulting in
large particle size NoAbstract Dwg 1/3

Patent Assignee: SANYO ELECTRIC CO (SAOL)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2296377	A	19901206	JP 89117065	A	19890510	199104 B

Priority Applications (No Type Date): JP 89117065 A 19890510

Title Terms: POLYCRYSTALLINE; SEMICONDUCTOR; LAYER; FORMATION; HEAT;
TREAT; NON; SINGLE; CRYSTAL; LOW; HEAT; CONDUCTING; LAYER; SURROUND;
HIGH; RESULT; PARTICLE; SIZE; NOABSTRACT

- Index Terms/Additional Words: PHOTOVOLTAIC; PHOTOELECTRIC.

Derwent Class: U11; U12; X15

International Patent Class (Additional): H01L-021/20; H01L-031/04

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03320877 **Image available**

FORMATION OF POLYCRYSTALLINE SEMICONDUCTOR LAYER AND
MANUFACTURE OF
PHOTOELECTROMOTIVE FORCE DEVICE

PUB. NO.: 02-296377 [JP 2296377 A]

PUBLISHED: December 06, 1990 (19901206)

INVENTOR(s): WATANABE KANEO
 IWAMOTO MASAYUKI
 MINAMI KOJI

APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 01-117065 [JP 89117065]

FILED: May 10, 1989 (19890510)

INTL CLASS: [5] H01L-031/04; H01L-021/20

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JOURNAL: Section: E, Section No. 1037, Vol. 15, No. 78, Pg. 39,
 February 22, 1991 (19910222)

ABSTRACT

PURPOSE: To enable a polycrystalline semiconductor layer such as polycrystalline silicon, etc., to be formed easily by a method wherein nonsingle crystal semiconductor layers are formed on a substrate to be heat-treated later whereon multiple layers comprising thermal conductivity material are formed and then the substrate is heat-treated later.

CONSTITUTION: Non-single crystal semiconductor layers 5P(sub 1), 5N, 5(sub 1), 5P(sub 2) such as amorphous silicon or polycrystalline silicon etc., are formed on the whole surface of an insulating substrate 1 whereon multiple metallic layers 2 are formed and then, the insulating substrate 1 is heated and cooled down to recrystallize the non-single crystal semiconductor layers 5P(sub 1), 5N, 5(sub 1), 5P(sub 2). At this time, since the semiconductor layers positioned on the metallic layers 2 are cooled down faster than the semiconductor layers positioned on the surface of the insulating substrate 1, the recrystallization of the semiconductor layers advances from the semiconductor layers on the metallic layers 2 in the direction of the layers on the insulating substrate 1 so that polycrystalline semiconductor layers 3 may have the grain field thereof only on the insulating substrate 1 and hardly on the metallic layers 2. Through these procedures, a polycrystalline semiconductor of large grain diameter having very little grain boundary can be formed.

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)12月6日

H 01 L 31/04
21/207739-5F
7522-5F

H 01 L 31/04

M

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 多結晶半導体層の形成方法及び光起電力装置の製造方法

⑯ 特 願 平1-117065

⑰ 出 願 平1(1989)5月10日

⑱ 発 明 者	渡 邊	金 雄	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑲ 発 明 者	岩 本	正 幸	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑳ 発 明 者	南	浩 二	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
㉑ 出 願 人	三洋電機株式会社		大阪府守口市京阪本通2丁目18番地	
㉒ 代 理 人	弁理士 西野 卓爾		外2名	

明 細 書

1. 発明の名称

多結晶半導体層の形成方法及び
光起電力装置の製造方法

2. 特許請求の範囲

(1) 低熱伝導率材料からなる層に囲まれるように高熱伝導率材料からなる層を複数形成した基板上に非単結晶半導体層を形成し、これを熱処理したことを特徴とする多結晶半導体層の形成方法。

(2) 低熱伝導率材料からなる層に囲まれるように高熱伝導率材料からなる層を複数形成した基板上に非単結晶半導体層を形成し、これを熱処理して第1導電型の多結晶半導体層を形成する工程と、この多結晶半導体層上に第2導電型の半導体層を形成する工程とを備えたことを特徴とする光起電力装置の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、多結晶半導体層の形成方法及び多結

晶半導体層の有する光起電力装置の製造方法に関する。

(ロ) 従来技術

多結晶半導体層を使用する装置の1つとして、光起電力装置がある。このような光起電力装置にあっては、変換効率向上のために、多結晶半導体層を用いており、その構造は、Technical Digest of the International PVSEC-2 (1986)の第394頁～第397頁に見られるように、P型の多結晶シリコンとN型の非晶質シリコンとの積層体からなる。

(ハ) 発明が解決しようとする課題

ところで、上述の如き多結晶シリコンとしては、通常Si150多結晶シリコン基板や、キャスト多結晶シリコン基板が用いられるが、これら基板は、基板の形成工程において、1000℃を超える高温での熱処理プロセス等、密着で難しい工程が必要である。

そこで、本発明は、多結晶シリコン等の多結晶半導体層を容易に形成し得る方法を提供すること

を目的とする。

(二) 課題を解決するための手段

本発明による多結晶半導体層の形成方法は、低熱伝導率材料からなる層により各まかれて高熱伝導率材料からなる層を複数形成した基板上に非単結晶半導体層を形成し、これを熱処理したことを特徴とする。

また、本発明による光起電力装置の製造方法は、低熱伝導率材料からなる層に囲まれるように高熱伝導率材料からなる層を複数形成した基板上に非単結晶半導体層を形成し、これを熱処理して第1導電型の多結晶半導体層を形成する工程と、この多結晶半導体層上に第2導電型の半導体層を形成する工程とを備えたことを特徴とする。

(ホ) 作用

低熱伝導率材料からなる層に囲まれるように高熱伝導率材料からなる層を形成した基板上に形成された非単結晶半導体層（例えば、非晶質半導体層）は、これを加熱して冷却した場合、高熱伝導率材料からなる層の上の半導体層が、体熱伝導率

材料から成る層の上のものより早く低温となる。従って、高熱伝導率材料からなる層の上に位置する半導体層から結晶化が起こり、そして、結晶化は低熱伝導率材料からなる層の上の半導体層の方向に広がっていく。その結果、高熱伝導率材料から成る層の上に位置する半導体層は結晶粒界のない完全に結晶化されたものとなり、低熱伝導率材料からなる層の上の半導体層にのみ結晶粒界ができることとなる。

(ヘ) 実施例

第1図及び第2図は、本発明の多結晶半導体層の形成方法及び光起電力装置の製造方法を用いて製造した光起電力装置の一実施例を示す断面図及び平面図である。

1はガラス、セラミックまたは SiO_2 等の絶縁膜にて表面を被覆した金属板等からなる絶縁基板、2は $1000\text{\AA} \sim 1\mu\text{m}$ の膜厚で絶縁基板1上に形成されたアルミニウム、クロム、チタン等の高熱伝導率材料からなる金属層であり、第2図に鎖線にて示すように、一辺が $0.1\mu\text{m} \sim 1\mu\text{m}$ の矩形状に分割さ

- 3 -

れて複数形成されている。尚、この金属層2は矩形状に限らず、円形に形成されてもよい。形成方法としては、基板1上に全面に形成された後、ドライエッチングやケミカルエッチングにより所定の形状にパターニングされるものである。3は多結晶シリコン、多結晶ゲルマニウム、多結晶ガリウムヒ素等のN型の多結晶半導体層である。

この多結晶半導体層3は本発明の特徴である形成方法を用いて形成される。即ち、金属層2を含んで絶縁基板1上全面に、CVD法（熱CVD法、プラズマCVD法、光CVD法等）やスパッタリング法等により、非晶質シリコンまたは多結晶シリコン等の非単結晶半導体層を形成し、その後、絶縁基板1を加熱、冷却することにより、非単結晶半導体層を再結晶化させる。この時、金属層2上に位置する半導体層が、絶縁基板1の表面上に位置する半導体層より早く冷却されるために、半導体層の再結晶化は、金属層2上の半導体層から絶縁基板1上の層の方向へ進み、結果として、多結晶半導体層3は、絶縁基板1上にのみ粒

- 4 -

界が存在し、金属層2上にはほとんど粒界のないものとなる。

尚、本実施例では、この多結晶半導体層3は、絶縁基板1上に位置する部分を除去することにより、矩形状の複数の部分に分割されている（第2図の一点鎖線参照）。

4は隣接した多結晶半導体層3を電気的に結合する導電体であり、この導電体4は多結晶半導体層3の周辺全体にわたって形成されてもよく、また一部分にのみ形成されてもよい。導電体4は、Cr、Al、Ti等を選択的に蒸着、スパッタリングしたり、導電ペーストをスクリーン印刷して形成される。

これにより、電力取り出しの一方の電極を兼ねる多結晶半導体層3を互いに電気的に接続することとなる。

5_{p1} 、 5_n 、 5_i 、 5_{p2} は非晶質シリコン、非晶質シリコンカーバイド、非晶質シリコンナイトライド等から適宜選択されてなり、この順に多結晶半導体層3上に積層された非晶質半導体層であり、非

- 5 -

- 436 -

- 6 -

品質半導体層 5_{p1} 、 5_{p2} はP型、非品質半導体層 5_n はN型、非品質半導体層 5_i はI型である。これら非品質半導体層 5_{p1} 、 5_n 、 5_i 、 5_{p2} は、プラズマCVD法、光CVD法等により形成される。

最後に、6は SnO_2 、ITO等の透光性導電酸化物からなる受光面電極膜である。

以上の構成において、非品質半導体層 5_{p1} 、 5_i 、 5_n から第1の光起電力素子7が、また多結晶半導体層3及び非品質半導体層 4_{p1} から第2の光起電力素子8が構成され、第1の光起電力素子7により、受光面電極膜5を経て入射される光の短波長光が、また第2の光起電力素子8により、長波長光が吸収され、その結果として発生した光キャリアが多結晶半導体層3及び受光面電極膜6に集められ、光起電力を生じる。

本実施例では、単一の光起電力装置を示しているが、大きな光起電力を得んとする場合には、上記構成の光起電力装置を複数絶縁基板1上に並設し、各装置の金属層2または多結晶半導体層3と受光面電極膜6とを電気的に直列接続することに

より、複数の光起電力装置が電気的に直列接続された形とすれば良い。

第3図は、本発明の多結晶半導体膜の形成方法及び光起電力装置の製造方法を用いて製造した光起電力装置の他の実施例を示す断面図である。

この実施例において、10はステンレス、アルミニウム、クロム等の金属基板やガラス、セラミック等の絶縁基板の表面を金属膜にて被覆してなる導電性基板、11は1000Å～1 μm の膜厚で導電性基板10上に形成された SiO_2 、 Si_3N_4 等の絶縁体層であり、その他の構成については、第1図に示す実施例と全く同様である。

この実施例の場合、光起電力は、導電性基板10及び受光面電極膜5から取り出される。

尚、上記各実施例においては、2つの光起電力素子を積層した、所謂タンデム構造の光起電力装置について説明しているが、本発明はこれに限らず、3つ以上の光起電力素子を積層してもよいし、逆に、多結晶半導体層3上に1つの非品質半導体層 4_{p1} のみを形成した構成でもよい。

- 7 -

または、非品質半導体層 5_{p1} に代えて、多結晶半導体層や微結晶半導体層を積層してもよい。

(ト) 発明の効果

本発明の多結晶半導体層の形成方法によれば、粒界が非常に少なく、粒径の大きな多結晶半導体層を形成することができる。

更に、本発明の光起電力装置の製造方法によれば、粒径の大きな多結晶半導体層を用いて光起電力装置を製造することができるので、粒界による不所望な光キャリアのトラップを抑制することができ、装置の変換効率を向上させることができる。

4. 図面の簡単な説明

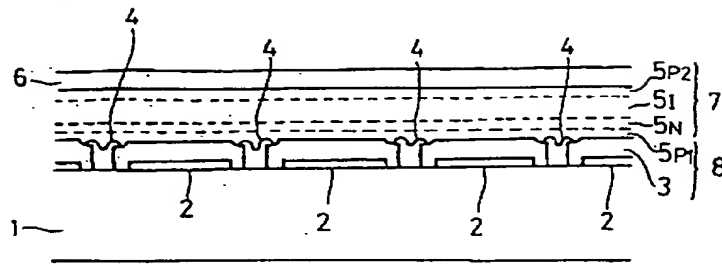
第1図及び第2図は本発明の一実施例を示す断面図及び上面図、第3図は本発明の他の実施例を示す断面図である。

出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣(外2名)

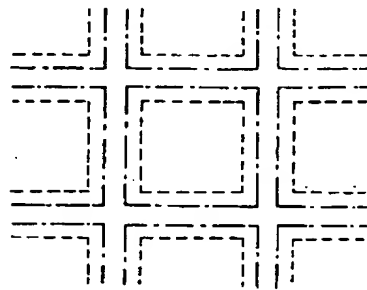
- 8 -

第1図



- 1: 絶縁基板
2: 金属層
3: γ 結晶シリコン

第2図



第3図

